

대한민국특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

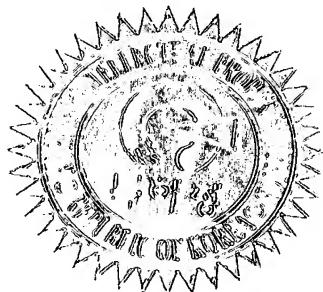
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0075693
Application Number

출원년월일 : 2002년 11월 30일
Date of Application NOV 30, 2002

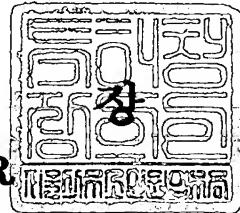
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 17 일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0023
【제출일자】	2002.11.30
【국제특허분류】	H01L
【발명의 명칭】	유전막 공정을 단순화하여 반도체 소자의 커패시터를 제조하는 방법과 그 유전막을 형성하는 장치
【발명의 영문명칭】	Method for manufacturing capacitor of semiconductor device by simple step of forming dielectric layer and apparatus therefor
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	정용국
【성명의 영문표기】	JEONG, Yong Kuk
【주민등록번호】	720108-1811223
【우편번호】	151-061
【주소】	서울특별시 관악구 봉천11동 1651-25 B01호
【국적】	KR
【발명자】	
【성명의 국문표기】	윤명근
【성명의 영문표기】	YOON, Myong Geun
【주민등록번호】	690114-1550915

【우편번호】	137-130		
【주소】	서울특별시 서초구 양재동 11-82 103호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	원석준		
【성명의 영문표기】	WON, Seok Jun		
【주민등록번호】	700217-1067321		
【우편번호】	151-057		
【주소】	서울특별시 관악구 봉천7동 1603-25 1/8		
【국적】	KR		
【발명자】			
【성명의 국문표기】	권대진		
【성명의 영문표기】	KWON, Dae Jin		
【주민등록번호】	721115-1320914		
【우편번호】	462-130		
【주소】	경기도 성남시 중원구 성남동 2792 현대빌라 나동 402호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	13	면	13,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	20	항	749,000 원
【합계】	791,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

반도체 소자 커패시터의 제조방법과 그 커패시터의 유전막을 형성하는 장치에 관한 것이다. 종래 CVD로 커패시터의 유전막을 형성할 때에는 소스 가스와 반응 가스를 동시에 넣어 증착하였으며, 전기적 특성 향상을 위해 유전막을 여러 번으로 나누어 증착하고 매 유전막 증착 사이에 큐어링을 실시함으로써, 공정이 복잡하고 수율이 낮으며 설비 구성이 복잡한 단점이 있었다. 본 발명은 이러한 문제를 해결할 수 있도록, 공정이 간단한 커패시터 제조방법과 유전막 형성 장치를 제공하는 것을 목적으로 한다. 본 발명의 커패시터 제조방법에서는 반응 가스를 넣지 않고 소스 가스로만 유전막을 증착하고 또한 유전막 큐어링 공정을 한 번만 수행하는 것을 제시한다. 본 발명에 의하면 공정 단순화, 수율 향상, 설비 구성 간소화 등의 효과를 얻을 수 있고, 스탠드 얼론 메모리 및 임베디드 메모리에 적용할 경우 단차도포성 향상 및 스토리지 노드 콘택플러그의 산화 억제 등의 효과를 얻을 수 있으며, 이들보다 두꺼운 유전막을 사용하는 아날로그 커패시터나 RF 커패시터 및 고전압 커패시터에 적용할 경우 큰 공정 단순화를 이를 수 있다.

【대표도】

도 5

【명세서】

【발명의 명칭】

유전막 공정을 단순화하여 반도체 소자의 커패시터를 제조하는 방법과 그 유전막을 형성하는 장치{Method for manufacturing capacitor of semiconductor device by simple step of forming dielectric layer and apparatus therefor}

【도면의 간단한 설명】

도 1은 종래 반도체 소자 커패시터를 형성할 때의 순서도이다.

도 2는 스탠드 얼론 메모리 및 임베디드 메모리에 사용하기 위하여 도 1의 방법에 따라 제조한 커패시터의 단면도이다.

도 3은 아날로그 커패시터나 RF 커패시터 및 고전압 커패시터에 사용하기 위하여 도 1의 방법에 따라 제조한 커패시터의 단면도이다.

도 4는 기존의 스탠드 얼론 메모리 및 임베디드 메모리에 사용하기 위하여 Ta_2O_5 를 2번의 증착/2번의 큐어링으로 형성하였을 때의 효과를 나타낸 그래프이다.

도 5는 본 발명의 실시예에 따라 반도체 소자 커패시터를 형성할 때의 순서도이다.

도 6 및 도 7은 본 발명의 제 1 실시예에 따라 스탠드 얼론 메모리 및 임베디드 메모리에 사용하기 위하여 도 5의 방법에 따라 제조한 커패시터의 공정 단면도들이다.

도 8은 본 발명의 제 1 실시예를 본 발명의 제 2 실시예에 따라 DRAM의 커패시터 제조에 적용하는 것을 설명하기 위한 도면이다.

도 9는 본 발명의 제 3 실시예에 따라 아날로그 커패시터나 RF 커패시터 및 고전압 커패시터에 사용하기 위하여 도 5의 방법에 따라 제조한 커패시터의 단면도이다.

도 10 및 도 11은 도 5와 같은 방법에서처럼 소스 가스만으로 유전막을 증착함에 따른 효과를 나타내는 그래프들이다.

도 12는 본 발명의 실시예에 따른 유전막 형성 장치의 개략적인 도면이다.

<도면의 주요 부분에 대한 부호의 설명>

110, 221, 310...제 1 전극 120, 223, 320...제 1 유전막

130...큐어링 140, 224, 340...제 2 유전막

150, 225, 350...제 2 전극 217...스토리지 노드 콘택플러그

405...로드락 챔버 409...트랜스퍼 챔버

411...제 1 유전막 증착 챔버 413...큐어링 챔버

414...제 2 유전막 증착 챔버

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<18> 본 발명은 반도체 소자 제조방법 및 제조장치에 관한 것으로서, 특히 반도체 소자 커패시터의 제조방법과 그 커패시터의 유전막을 형성하는 장치에 관한 것이다.

<19> 종래 반도체 소자 커패시터를 제조하는 방법에서는 소스 가스와 O_2 , H_2O , H_2O_2 , N_2 등의 반응 가스를 함께 사용하여 유전막을 증착하고 있다. 또한 전기적 특성 향상을 위해 도 1에서와 같이 제 1 전극 형성(1)과 제 2 전극 형성(2) 사이에 유전막을 여러 번으로 나누어 증착(D_1 , D_2 , ..., D_n)하고 매 유전막 증착 사이에 큐어링(curing)(C_1 , C_2 , ..., C_n)을 실시하고 있다.

<20> 예를 들어 스탠드 얼론 메모리(stand-alone memory) 및 임베디드 메모리(embedded memory)에 사용되는 커패시터의 기존 유전막 공정은 2번의 증착/2번의 큐어링(double deposition/double curing)으로 되어 있어, 도 2에서와 같이 두 전극(15, 30) 사이에 두 층의 유전막(DL_1 , DL_2)으로 이루어진 구조가 된다. 편의상, 여기서의 제 1 유전막(DL_1) 두께는 St_1 , 제 2 유전막(DL_2)의 두께는 St_2 , 두 층의 유전막(DL_1 , DL_2) 총 두께는 t_1 ($St_1 + St_2$)이라고 해둔다.

<21> 한편 아날로그 커패시터나 RF(radio frequency) 커패시터 및 고전압 커패시터의 유전막은 도 2의 t_1 보다 더 큰 두께로 형성되어야 한다. 따라서, 대개 3번 이상으로 여러 번 증착/여러 번 큐어링(multiple deposition/multiple curing) 공정을 실시하여, 도 3에서와 같이 두 전극(15, 30) 사이에 n 층의 유전막(DL_1 , DL_2 , ..., DL_n)으로 이루어진 구조가 된다. n 층의 유전막(DL_1 , DL_2 , ..., DL_n) 총 두께는 t_2 ($t_2 > t_1$)라고 해둔다.

<22> 유전막 증착과 큐어링을 이렇게 여러 번 나누어 수행하는 이유는 도 4를 보면 알 수 있다. 도 4는 기존의 스탠드 얼론 메모리 및 임베디드 메모리에 사용하기 위하여 Ta_2O_5 를 2번의 증착/2번의 큐어링으로 형성하였을 때의 효과를 나타낸 그래프이다.

<23> 그래프 상에서 네모(■)는 PVD(Physical Vapor Deposition) 방식으로 증착한 TiN을 전극으로 사용하고, 소스 가스와 함께 O_2 반응 가스를 사용한 CVD(Chemical Vapor Deposition) 방식으로 150 Å 두께의 Ta_2O_5 를 한번에 증착한 다음 큐어링없이 제조한 커패시터의 누설전류 밀도를 나타낸다. 동그라미(●)는 도 1 및 도 2에서와 같이 Ta_2O_5 를 2번의 증착/2번의 큐어링으로 형성하였을 때의 누설전류 밀도를 나타내는데, 역시 PVD 방식으로 증착한 TiN을 전극으로 사용하면서, 소스 가스와 함께 O_2 반응 가스를 사용한

CVD 방식으로 90Å의 Ta₂O₅를 증착한 후 O₃으로 큐어링하고, 마찬가지 방법으로 60Å의 Ta₂O₅를 더 증착한 후 O₃으로 큐어링하여, 총 두께를 150Å으로 맞춘 것이다.

<24> 도 4에서 볼 수 있는 바와 같이, 유전막 공정을 2번의 증착/2번의 큐어링이 되게 하였을 때(즉, 동그라미일 때)가 그렇지 않은 경우보다 누설전류 밀도가 현저하게 감소하면서 전기적 특성이 매우 개선되는 것을 알 수 있다.

<25> 그러나 이렇게 매 유전막 증착 사이에 큐어링을 실시하면, 공정이 복잡하며 수율 (through-put)이 낮은 단점이 있다. 또한 설비 구성시 여러 개의 증착 챔버(deposition chamber)와 큐어링 챔버(curing chamber)가 필요하게 되어 그 구성이 복잡하다. 또한 스탠드 얼론 메모리 및 임베디드 메모리의 경우, 소스 가스와 함께 유입되는 O₂, H₂O, H₂O₂, N₂O 등의 반응 가스에 의해 스토리지 노드 콘택플러그가 산화되는 문제가 있다. 더 나아가, 종래의 방법으로는 만족할만한 단차도포성(step coverage)을 확보할 수 없는 데, 이렇게 단차도포성이 나쁘면 스토리지 전극(커패시터의 하부전극) 사이의 간격이 좁아지는 고집적된 반도체 소자에 적용할 수 없게 된다.

【발명이 이루고자 하는 기술적 과제】

<26> 본 발명이 이루고자 하는 기술적 과제는 상술한 종래의 문제점을 해결하기 위한 것으로, 유전막 공정을 단순화하여 커패시터를 제조하는 방법을 제공하는 것이다.

<27> 본 발명이 이루고자 하는 다른 기술적 과제는, 본 발명의 방법에 직접 사용할 수 있는 유전막 형성 장치를 제공하는 것이다.

【발명의 구성 및 작용】

<28> 상기 기술적 과제를 달성하기 위하여 본 발명에 따른 커패시터 제조방법에서는, 반응 가스를 넣지 않고 소스 가스로만 유전막을 증착(reactant-free deposition)하고 또한 유전막 큐어링 공정을 한 번만(single curing) 실시한다. 그리하여 공정 단순화, 수율 향상, 설비 구성 간소화 등의 효과를 얻을 수 있다.

<29> 본 발명의 일 구성에 따른 커패시터 제조방법에서는 반도체 기판 상에 제 1 전극을 형성한 다음, 상기 제 1 전극 상에 제 1 유전막을 증착한다. 상기 제 1 유전막을 산소 함유 분위기에서 큐어링한 후, 상기 큐어링된 제 1 유전막 상에 반응 가스없이 소스 가스만으로 제 2 유전막을 증착한다. 이어서, 상기 제 2 유전막에 대한 큐어링없이 상기 제 2 유전막 상에 제 2 전극을 형성한다.

<30> 여기서, 상기 제 1 유전막도 상기 제 2 유전막과 마찬가지로 반응 가스없이 소스 가스만으로 증착하는 경우에 보다 양호한 결과를 가져올 수 있다. 상기 제 1 유전막과 제 2 유전막은 CVD 또는 ALD(Atomic Layer Deposition)에 의해 증착할 수 있으며, 이를 막을 반응 가스없이 소스 가스로만 증착하기 위해서는 상기 소스 가스 자체가 산소원자를 포함하고 있는 것을 사용하여야 한다. 예를 들어, 상기 제 1 및 제 2 유전막으로서 Ta_2O_5 를 증착할 경우, 상기 소스 가스로는 PET(pentaethoxide tantalum)라고 불리는 $Ta(OC_2H_5)_5$, TET-DMAE(Tetra Ethoxide Tantalum-DiMethyl Amine Ethoxide), $Ta(OsBu)_5$, $Ta(OC_2H_5)_4(acacC_2H_5)$, $TaCl_2(OC_2H_5)_2C_5H_7O_2$ 또는 $Ta(OCH_3)_5$ 를 사용할 수 있다.

<31> 본 발명의 다른 구성에 따른 커패시터 제조방법에서는 반도체 기판 상에 제 1 전극을 형성한 다음, 상기 제 1 전극 상에 제 1 Ta_2O_5 막을 증착한다. 상기 제 1 Ta_2O_5 막을

오존(O_3) 분위기에서 큐어링한 다음, 상기 큐어링된 제 1 Ta_2O_5 막 상에 제 2 Ta_2O_5 막을 증착하는데, 이 때 반응 가스없이 PET 소스 가스만으로 증착한다. 원하는 두께로 상기 제 2 Ta_2O_5 막이 증착되면, 별도의 큐어링없이 그 위에 곧장 제 2 전극을 형성한다.

<32> 여기에서, 상기 제 1 Ta_2O_5 막도 반응 가스없이 PET 소스 가스만으로 증착하는 것이 바람직하며, 상기 제 1 Ta_2O_5 막과 제 2 Ta_2O_5 막은 CVD에 의해 증착할 수 있다.

<33> 상기 다른 기술적 과제를 달성하기 위하여 본 발명에 따른 유전막 형성 장치는, 두 개의 유전막 증착 챔버(deposition chamber)와 하나의 큐어링 챔버(curing chamber)를 트랜스퍼 챔버(transfer chamber) 주위에 배치한 것이다. 간략히 살펴보면, 복수개의 반도체 기판이 로딩된 카세트가 위치하는 로드락 챔버(loadlock chamber), 상기 로드락 챔버에 연결되어 상기 반도체 기판을 로딩 및 언로딩할 수 있는 로봇 앰(robot arm)을 구비하는 트랜스퍼 챔버, 상기 트랜스퍼 챔버에 연결되어 있고 유전막을 증착할 수 있는 제 1 유전막 증착 챔버, 상기 제 1 유전막 증착 챔버에 연결된 큐어링 챔버, 및 상기 트랜스퍼 챔버에 연결되어 있고 유전막을 증착할 수 있는 제 2 유전막 증착 챔버를 포함하여 구성된다. 이 장치에 의해 상기 제 1 유전막 증착 챔버에서 증착한 제 1 유전막을 상기 큐어링 챔버에서 큐어링한 다음, 상기 제 2 유전막 증착 챔버에서 제 2 유전막 증착을 수행할 수 있게 된다. 즉, 본 발명 방법에 따른 커패시터 제조 단계 중에서 상기 제 1 유전막 증착부터 제 2 유전막 증착까지 하나의 유전막 형성 장치에서 인시츄(in-situ)로 수행할 수 있게 된다.

<34> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명

의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면 상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다.

<35> (제 1 실시예)

<36> 스텐드 얼론 메모리 및 임베디드 메모리용 커패시터의 기존 유전막 공정은 도 1과 도 2를 참조하여 본 바와 같이 2번의 증착/2번의 큐어링이다. 그러나 본 발명에 따라 유전막을 형성할 경우 2번의 증착/1번의 큐어링(double deposition/single curing)으로 하게 되므로 간단해진다. 이에 대한 순서도가 도 5에 나와 있으며 각 단계의 공정 단면은 도 6 및 도 7과 같다.

<37> 도 5 내지 도 7을 참조하여 본 발명에 의한 반도체 소자의 커패시터 제조방법을 살펴보면 다음과 같다. 먼저 단계 S10에서 반도체 기판(미도시) 위에 제 1 전극(110)을 형성한다. 계속된 단계 S20에서 제 1 전극(110) 위에 제 1 유전막(120)을 증착한다. 이 때, 반응 가스를 넣지 않고 소스 가스로만 증착한다. 다음에 단계 S30에 따라, 산소 함유 분위기 즉 O_3 , O_2 , O_2 플라즈마, N_2O 플라즈마 등으로 제 1 유전막(120)을 큐어링(130)한다(이상 도 6). 계속하여 단계 S40에서 반응 가스없이 소스 가스만으로 제 2 유전막(140)을 증착한다. 단계 S50에서와 같이 별도의 큐어링없이 제 2 유전막(140) 위에 제 2 전극(150)을 곧바로 형성한다(이상 도 7).

<38> 여기서, 제 1 전극(110)과 제 2 전극(150)은 TiN, TaN, WN, Al, Cu, Ru, RuO₂, Pt, Ir, IrO₂, 도프트 폴리실리콘 중 어느 하나, 또는 이들의 조합을 증착하여 형성할 수 있으며, 증착 방법으로는 CVD, PVD 또는 ALD 방식을 이용할 수 있다. 이러한 물질 예들은 대개 25 ~ 1000°C 범위의 온도에서 증착된다. 그런데 도프트 폴리실리콘을 증착하여 제 1 전극(110)과 제 2 전극(150)을 형성하는 경우에는 제 1 및 제 2 유전막(120, 140)과의 반응 또는 확산을 방지하기 위하여 전처리막, 예컨대 실리콘 산화막, 실리콘 질화막 또는 실리콘 산화질화막을 더 형성하면 좋다. 이들 전처리막의 형성은 RTO(Rapid Thermal Oxidation), RTN(Rapid Thermal Nitridation) 또는 CVD에 의할 수 있다. 특히 여기서의 제 1 전극(110)은 그 유효면적을 증가시키기 위하여 도면에서와 같은 스택(stack) 구조뿐만 아니라, 3차원 구조의 핀(fin), 트렌치, 또는 실린더 형태로 만들 수 있다.

<39> 제 1 유전막(120)은 Ta₂O₅, HfO₂, ZrO₂, Al₂O₃, TiO₂ 중의 어느 하나, 또는 이들의 조합을 선택하여 증착할 수 있으며 CVD 혹은 ALD로 증착하는데, O₂, H₂O, H₂O₂, N₂O 등 의 반응 가스를 넣지 않고 소스 가스로만 증착한다. 반응 가스를 넣지 않으므로, 소스 가스는 산소원자가 포함된 것을 사용하여야 상기와 같은 산화물 유전막을 증착할 수 있다. 증착 온도는 100 ~ 600°C 정도의 범위로 하고 증착 두께(dt₁)는 5 ~ 200Å으로 한다.

<40> 본 발명에서의 유전막을 반응 가스없이 소스 가스로만 증착할 수 있게 하는 소스 가스의 예는 다양하다. 예를 들어 Ta₂O₅를 증착하려면 소스 가스로서는 PET라고 불리는 Ta(OC₂H₅)₅, TET-DMAE(Tetra Ethoxide Tantalum-DiMethyl Amine Ethoxide), Ta(OsBu)₅, Ta(OC₂H₅)₄(acacC₂H₅), TaCl₂(OC₂H₅)₂C₅H₇O₂, Ta(OCH₃)₅ 등과 같은 종류를 사용할 수 있

다. 또, HfO_2 를 증착하려면 소스 가스로서 $Hf(OtBu)_4$, $Hf(MMP)_4$ 등을 사용할 수 있고, Al_2O_3 를 증착하려면 $Al(MMP)_3$, $Al(OiPr)_3$, $Al(acac)_3$, $Al(O_2C(H)EtBu)_3$ 등을 사용할 수 있다. ZrO_2 를 증착하려면 $Zr(OtBu)_4$, $Zr(MMP)_4$, $Zr(METHD)_4$, $Zr(THD)_4$, $Zr(MTHD)_4$ 등의 소스 가스를 사용할 수 있으며, TiO_2 를 증착하려면 $Ti(OC_2H_5)_4$, $Ti(MPD)(THD)_2$, $Ti(MPD)(METHD)_2$, $Ti(THD)_2(OiPr)_2$, $Ti(OiPr)_4$, $Ti(MMP)_4$, $Ti(NPEB)_4$ 등을 사용할 수 있다. 여기서 $acac$ 는 아세틸 아세톤($CH_3COCH_2COCH_3$), MMP 는 1-methoxy-2-methyl-2-propoxide, $OiPr$ 는 이소프로포록시, $METHD$ 는 1-(2-methoxyethoxy)-2,2,6,6-tetramethyl-3,5-heptanedionate를 가리키고, THD 는 2,2,6,6-tetramethyl-3,5-heptanedionate를 가리키며, $MTHD$ 는 1-methoxy-tetramethyl-3,5-heptanedionate를 가리킨다. 그리고, MPD 는 2-methyl-2,4-pentanedioxide, $NPEB$ 는 1-n-propoxy-2-ethyl-2-butoxide를 가리킨다.

<41> 일반적으로 CVD로 산화물 박막을 증착할 때에는 소스 가스와 O_2 , H_2O , H_2O_2 , N_2O 등의 반응 가스를 증착 챔버 내에 동시에 공급하고 반도체 기판을 가열함으로써, 반도체 기판 상에서 일어나는 가스들의 열분해와 반응을 이용해 산화물을 퇴적시킨다. 또한, ALD로 산화물을 박막을 증착할 때에는 증착 챔버에 소스 가스를 공급하여 반도체 기판에 물리적, 화학적 흡착시킨 후 N_2 와 같은 퍼지가스를 사용하여 여분의 소스 가스 및 물리적 흡착된 소스 가스를 퍼지해낸다. 그런 다음, O_2 , H_2O , H_2O_2 , N_2O 등의 반응 가스를 증착 챔버에 공급하여 화학적으로 흡착되어 있는 소스 가스와 반응시킨다. 여분의 반응 가스도 퍼지가스로 퍼지해낸다. 원하는 두께의 산화물을 박막을 얻을 때까지 이러한 과정을 여러 번 반복한다.

<42> 이에 반해서, 본 발명에서는 O_2 , H_2O , H_2O_2 , N_2O 등의 반응 가스없이 소스 가스만으로 산화물 유전막을 증착한다. 소스 가스로서 산소원자가 포함된 소스 가스를 사용하면 반응 가스없이도 산화물 박막을 얻을 수 있다. 예컨대, 본 발명에 따라서 CVD로 산화물 유전막을 증착할 때에는 반도체 기판을 증착 챔버내로 인입한 다음, 산소원자가 포함된 소스 가스를 증착 챔버 내에 공급하고 반도체 기판을 가열함으로써, 반도체 기판상에서 소스 가스를 열분해시켜 안정한 산화물을 퇴적시킨다.

<43> 또한, 본 발명에서 ALD로 산화물 유전막을 증착할 때에는 다음의 과정을 통해 수행한다. 먼저 반도체 기판을 증착 챔버내로 인입한 다음, 증착 챔버내로 산소원자를 포함하는 소스 가스를 유입시켜 반도체 기판에 화학적 또는 물리적 흡착을 유도한다. 소스 가스는 버블러(bubbler)방식 또는 LDS(liquid delivery system)방식을 통해 공급한다. 흡착이 완료되고 일정시간이 경과한 후에, 증착 챔버내로 N_2 또는 Ar 등의 불활성 퍼지가스를 유입하여 화학적 흡착된 소스 가스 이외에 증착 챔버내에 잔류하는 소스 가스를 제거한다. 반도체 기판을 가열하면 흡착되어 있는 소스 가스가 열분해되면서 안정한 산화물이 퇴적된다. 일정시간 경과 후, 증착 챔버내를 퍼지가스로 퍼지시켜 반응 부산물들을 제거한 뒤, 다시 소스 가스 유입 → 퍼지가스 유입 → 반응 → 퍼지가스 유입의 사이클을 반복하여 원하는 두께의 산화물 유전막을 형성할 수 있다.

<44> 제 1 유전막(120)에 대한 큐어링(130)은 산소가 함유된 분위기, 예를 들면, 오존(O_3) 혹은 O_2 가스 분위기에서 수행하거나, O_2 플라즈마 또는 N_2O 플라즈마 등에 의해 수행하며, 플라즈마는 13.56 MHz의 RF 플라즈마 또는 ECR(Electron Cyclotron Resonance) 플라즈마를 이용할 수 있다. 산소가 함유된 분위기에서 발생된 산소원자는 유전막내로 침투하여 댱글링 본드(dangling bond)에 결합된다. 따라서, 큐어링(130)에

의해 제 1 유전막(120)의 막질 특성을 안정화되고 산소 공공(oxygen vacancy)이 채워지면서 그 전기적 특성이 향상된다. 큐어링(130) 온도는 증착된 제 1 유전막(120)의 종류와 두께, 또는 그 밖의 공정 조건에 따라 다양하게 결정될 수 있는데, 통상 적당한 범위의 저온으로 진행되며 대략 350 내지 650°C의 온도 범위에 속한다.

<45> 제 2 유전막(140)도 제 1 유전막(120)과 마찬가지 방법으로 반응 가스를 넣지 않고 소스 가스로만 증착한다. Ta_2O_5 , HfO_2 , ZrO_2 , Al_2O_3 , TiO_2 중 어느 하나, 또는 이들의 조합을 형성할 수 있으며, CVD 혹은 ALD로 증착할 수 있다. 증착 온도를 100 ~ 600°C로 하는 것은 제 1 유전막(120)과 마찬가지인데, 증착 두께(dt_2)는 5 ~ 3000Å으로 형성하며, 사용할 수 있는 소스 가스의 예는 제 1 유전막(120)에 대하여 설명한 것과 동일하다.

<46> 제 1 유전막(120) 두께 dt_1 보다 제 2 유전막(140) 두께 dt_2 를 크게 하는 것이 단차도포성, 큐어링 공정의 용이성 측면에서 바람직할 수 있다. 그러나, 전기적 특성 측면에서는 큐어링 공정을 실시할 제 1 유전막(120) 두께 dt_1 을 큐어링되지 않는 제 2 유전막(140) 두께 dt_2 보다 크게 하는 것이 유리할 수 있다. 따라서, 본 발명에서의 dt_1 과 dt_2 는 단차도포성, 큐어링 공정의 용이성, 전기적 특성 등을 모두 고려하여 결정할 필요가 있다.

<47> 본 실시예에서, 전체 유전막 두께(T_1), 즉, 제 1 유전막(120)의 두께 dt_1 과 제 2 유전막(140)의 두께 dt_2 를 더한 두께는 도 2에서의 유전막 두께 t_1 과 동일하게 유지하기 위하여, dt_1 은 종래(도 2의 St_1)보다 얇게 하고 dt_2 는 종래(도 2의 St_2)보다 두껍게 할 수 있다. 이렇게 처음에 형성하는 유전막의 두께를 종래보다 얇게 하면서 원하는 전체 두께를 맞출 수 있으므로 복잡한 구조의 제 1 전극 위에 유전막을 증착하는 경우에도 단

차도포성을 향상시킬 수 있고, 수율을 높일 수 있다. 또한 O_2 , H_2O , H_2O_2 , N_2O 등의 반응 가스없이 소스 가스만으로 유전막을 증착하므로 반응 가스에 의한 스토리지 노드 콘택틀러그 산화를 억제할 수 있는 큰 장점이 있다. 이를 다음 실시예에서 자세히 설명한다.

<48> (제 2 실시예)

<49> 도 8은 도 5 내지 도 7을 참조하여 설명한 제 1 실시예를 실제 DRAM(Dynamic Random Access Memory)의 커패시터의 제조에 적용하는 것을 설명하기 위한 도면이다.

<50> 구체적으로, 소자분리막(203)에 의하여 한정된 반도체 기판(201)의 액티브 영역에 통상적인 방법으로 소오스 영역(205), 드레인 영역(207) 및 게이트 산화막(209)을 개재한 게이트 전극(211)으로 구성된 트랜지스터가 형성되어 있다. 그리고, 드레인 영역(207)에는 비트라인(213)이 연결되고, 소오스 영역(209)에는 충간절연막(215) 내의 콘택홀에 형성된 스토리지 노드 콘택틀러그(217)를 통하여 연결되는 제 1 전극(221), 즉 스토리지 전극을 형성한다. 제 1 전극(221)은 앞에서 설명한 대로 3차원적인 실린더 구조를 갖도록 하며 TiN, TaN, W, WN, Al, Cu, Ru, RuO_2 , Pt, Ir, IrO_2 , 도프트 폴리실리콘 중 어느 하나로 또는 이들의 조합으로 CVD, PVD 또는 ALD 방식에 의해 25 ~ 1000°C 범위의 온도에서 형성한다. 그 다음, 제 1 전극(221) 표면의 계면 안정화를 위하여 클리닝 공정을 실시하고, 제 1 전극(221) 상에 유전막(223, 224) 및 제 2 전극(225)을 형성한다.

<51> 유전막(223, 224)은 상술한 바와 같이 반응 가스를 넣지 않고 소스 가스로만

CVD 혹은 ALD에 의해 증착한다. 제 1 유전막(223)을 먼저 얇게 증착한 다음 O_3 를 이용해 큐어링하고, 나머지 두께의 제 2 유전막(224)을 증착한 후, 제 2 유전막(224)에 대한 별도의 큐어링은 실시하지 않는다.

<52> 예를 들어 유전막(223, 224)의 증착 조건은 430°C 기판 온도, 1 Torr 챔버 압력이 되게 하여 제 1 유전막(223)의 두께는 90 \AA , 제 2 유전막(224)의 두께는 60 \AA 으로 증착하여 전체 150 \AA 이 증착되도록 한다. 그리고 제 1 유전막(223)에 대한 큐어링은 O_3 를 이용하여 400°C , 30 Torr 챔버 압력에서 5분 정도 수행한다. 제 2 전극(225)은 제 1 전극(221)과 동일한 방법으로 형성한다. 제 1 전극(221)/유전막(223, 224)/제 2 전극(225)의 가장 바람직한 조합은 $\text{TiN}/\text{Ta}_2\text{O}_5/\text{TiN}$ 이다. 이들 물질 구성은 반응성이 서로 약하여 커패시터 열화가 억제된다.

<53> 제 1 유전막(223)을 일단 얇게 형성한 다음 나머지 필요 두께를 제 2 유전막(224) 두께로 충당하면, 도면에서와 같이 실린더 구조처럼 복잡한 구조의 제 1 전극(221)에 대해서도 단차도포성을 향상시킬 수 있다. 또한 O_2 , H_2O , H_2O_2 , N_2O 등의 반응 가스 없이 산소원자를 포함하는 PET와 같은 소스 가스만으로 유전막(223, 224)을 증착하므로, 스토리지 노드 콘택플러그(217) 산화를 억제할 수 있는 큰 장점이 있다.

<54> (제 3 실시 예)

<55> 아날로그 커패시터나 RF 커패시터 및 고전압 커패시터의 경우 스탠드 얼론 메모리 및 임베디드 메모리에 사용되는 커패시터보다 두꺼운 유전막을 사용하게 되므로, 종래에는 유전막 공정이 여러 번 증착/여러 번 큐어링(multiple deposition/multiple curing) 공정이었음은 이미 설명한 바와 같다. 그러나 본 발명에 의하면, 유전막이 두껍더라도

2번의 증착/1번의 큐어링 공정으로 형성할 수 있게 된다. 이에 대한 공정 순서는 도 5를 그대로 참조할 수 있으며, 그 공정에 의한 단면도가 도 9에 나와 있다.

<56> 도 9를 참조하면, 제 1 전극(310)과 제 2 전극(350) 사이에 두 층의 유전막, 즉 제 1 유전막(320)과 제 2 유전막(340)이 형성되어 있으며, 앞에서 설명한 것과 마찬가지로 제 1 유전막(320)과 제 2 유전막(340)은 반응 가스없이 소스 가스로만 증착한다. 그리고, 제 1 유전막(320)에 대해서는 산소 함유 분위기에서의 큐어링을 실시하지만, 제 2 유전막(340)에 대해서는 큐어링을 실시하지 않는다. 아날로그 커패시터나 RF 커패시터 및 고전압 커패시터의 경우 전기적 특성 확보를 위해 제 1 전극(310)과 제 1 유전막(320) 사이에 Al_2O_3 와 같은 유전막이 삽입되기도 하고 또한 제 2 전극(350) 아래에 Al_2O_3 와 같은 유전막이 삽입되기도 한다.

<57> 종래 도 3에서는 유전막 두께 t_2 를 얻기 위하여 $n(n \geq 3)$ 층의 유전막(DL_1, DL_2, \dots, DL_n)을 증착하고 n 번의 큐어링 공정을 실시할 필요가 있었다. 그러나, 본 실시예에서 도 3에서의 유전막 두께 t_2 와 동일하게 전체 유전막 두께(T_2)(즉, 제 1 유전막 두께 DT_1 + 제 2 유전막 두께 DT_2)를 형성하려면 유전막 증착과 큐어링을 추가하는 것이 아니라 제 1 유전막(320)과 제 2 유전막(340)의 각 두께 DT_1 과 DT_2 를 적절히 조절하면 된다.

<58> 따라서, 본 발명의 방법으로 아날로그 커패시터나 RF 커패시터 및 고전압 커패시터의 경우 두꺼운 유전막을 증착한다면 큰 공정 단순화를 이를 수 있게 된다. 이는 아날로그 커패시터나 RF 커패시터 및 고전압 커패시터의 경우 매우 큰 장점이 된다.

<59> (실현 예)

<60> 일반적으로 알려진 CVD 공정은 소스 가스에 반응 가스를 함께 넣어 반응을 시키는 것이다. 도 10은 150Å 두께의 Ta_2O_5 유전막을 CVD로 증착하고 큐어링을 하지 않을 때, 반응 가스없이 소스 가스로만 유전막을 증착할 경우의 효과를 나타내는 그래프이다.

<61> 도 10의 네모(■)는 PET 소스 가스와 O_2 반응 가스를 함께 넣어 증착한 종래 경우의 누설전류 밀도를 가리킨다. 동그라미(●)는 PET 소스 가스로만 증착한 경우의 누설전류 밀도를 가리킨다. 두 경우 MOCVD(Metal Organic CVD)로 증착한 TiN을 전극으로 사용하여 도 8에 도시한 것과 같은 실린더형 커패시터를 구성하였다.

<62> 일반적으로 반응 가스를 사용하는 공정에 의한 커패시터가 전기적 특성이 우수할 것으로 생각되고 있지만, 본 발명자들이 실제 실험해 본 결과 반응 가스를 사용하지 않는 공정(즉, 동그라미가 가리키는 것)이 훨씬 우수한 전기적 특성을 나타낸다는 것을 확인하였다. 그 이유는 DRAM과 같이 디자인 룰(design rule)이 작은 구조에서는 반응 가스가 유전막을 형성하는데 오히려 방해를 하는 방향으로 작용하기 때문인 것으로 이해된다.

<63> 한편 본 발명에서와 같이 반응 가스를 사용하지 않는 유전막 공정의 전기적 특성 수준은 도 11을 참조하면 알 수 있다.

<64> 도 11에서 네모(■)는 기존 공정에 의한 것으로, MOCVD로 증착한 TiN을 전극으로 사용하고 O_2 반응 가스와 PET 소스 가스로 Ta_2O_5 를 2번에 나누어 증착하고 매 증착 사이에 큐어링을 실시하였을 때의 누설전류 밀도를 나타낸다. 제 1 Ta_2O_5 막 두께는 60Å, 제 2 Ta_2O_5 막 두께는 90Å이었고 두 번의 큐어링 모두 O_3 를 이용한 것이었다. 동그라미()는 MOCVD로 증착한 TiN을 전극으로 사용하고 PET 소스 가스로만 150Å의 Ta_2O_5 를 증착한 경우의 누설전류 밀도를 가리킨다. 유전막 큐어링은 하지 않은 경우이다.

<65> 도 11에서 보듯이, 본 발명에서와 같이 반응 가스를 사용하지 않는 유전막 공정의 경우 큐어링을 하지 않았음에도 불구하고 음의 인가전압에 의한 누설전류는 기존 공정과 동등하고 양의 인가전압에 의한 누설전류는 약간 열화된 것을 보여, 매우 우수한 전기적 특성을 보인다는 것을 알 수 있다. 양의 인가전압에 의한 누설전류는 초기 유전막질과 관련이 있으므로 초기 유전막, 즉 본 발명 방법의 제 1 유전막만 적절히 큐어링해 준다면 기존 공정과 동등 수준 이상의 전기적 특성을 얻을 수 있을 것으로 기대된다.

<66> (제 4 실시예)

<67> 도 12는 본 발명의 유전막 형성 장치를 개략적으로 도시한 평면도이다.

<68> 도 12를 참조하여 구체적으로 살펴보면, 본 발명의 유전막 형성 장치는 반도체 기판(401)이 로딩된 카세트(403)가 위치하는 로드락 챔버(405)와, 로드락 챔버(405)에 연결되어 반도체 기판(401)을 로딩 및 언로딩할 수 있는 수단, 예컨대 로봇 암(407)을 구비하는 트랜스퍼 챔버(409)와, 트랜스퍼 챔버(409)에 연결된 제 1 유전막 증착 챔버(411)와, 제 1 유전막 증착 챔버(411)에 연결된 큐어링 챔버(413), 예컨대 산소 라디칼을 발생시킬 수 있는 오존 발생기 또는 플라즈마 발생기 등이 연결된 챔버를 구비한다. 또한, 제 2 유전막 증착 챔버(414)도 트랜스퍼 챔버(409)에 연결되어 구비된다.

<69> 이와 같은 유전막 형성 장치의 사용방법은 화살표로 나타낸 것과 같다. 먼저 도 5의 단계 S10에서 제 1 전극이 형성된 반도체 기판(401)이 로봇 암(407)에 의해 제 1 유전막 증착 챔버(411)로 인입되어, 도 5의 단계 S20에서와 같이 제 1 유전막 증착이 실시된다. 이 때, 반응 가스를 넣지 않고 소스 가스로만 증착이 되는 것이 바람직하다. 이어서, 반도체 기판(401)이 큐어링 챔버(413)로 옮겨져 도 5의 단계 S30에 따라 산소가 험유된 분위기 즉 0

3, O_2 , O_2 플라즈마, N_2O 플라즈마 등 및 이들의 조합 등에 의한 큐어링을 받는다. 이 후, 반도체 기판(401)은 제 2 유전막 증착 챔버(414)로 인입되어 도 5의 단계 S40에서와 같이 반응 가스를 넣지 않고 소스 가스로만 나머지 두께의 제 2 유전막이 증착된 다음, 별도의 어닐링없이 로드락 챔버(405)로 언로딩된다. 후속적으로 도 5의 단계 S50에서와 같이 제 2 유전막 위에 제 2 전극이 형성된다. 따라서, 이 장치에 의해 본 발명 방법에 따른 단계 중에서 제 1 유전막 증착부터 제 2 유전막 증착까지 하나의 유전막 형성 장치에서 인시츄(in-situ)로 수행할 수 있게 된다.

<70> 종래에는 유전막 증착 챔버와 큐어링 챔버를 각각 2개 이상씩 구비하는 장치를 구성하여야 하였으나, 본 발명에 따르면 증착 챔버는 2개, 큐어링 챔버는 1개만 있으면 장치를 구성할 수 있으므로 장치 구성이 매우 간단해지는 효과가 있다. 뿐만 아니라, 반도체 기판이 개개의 챔버로 이동하는 데 필요한 시간을 단축할 수 있어 반도체 소자 제조 비용이 절감된다. 또한, 트랜스퍼 챔버를 공동으로 사용함에 따른 장비 가격 및 클린룸 면적의 효율화를 얻을 수 있다.

<71> 이상, 본 발명을 바람직한 실시예들을 들어 상세하게 설명하였으나, 본 발명은 상기 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 많은 변형이 가능함은 명백하다. 특히, 본 발명 방법에서의 제 1 유전막은 반응 가스없이 소스 가스로만 증착하는 경우에 보다 양호한 결과를 가져올 것이지만, 반응 가스와 소스 가스를 함께 사용하여 증착하더라도 무방하다. 단, 제 2 유전막만큼은 반응 가스없이 소스 가스로만 증착하여야 한다.

【발명의 효과】

<72> 상술한 본 발명에 의하면, 반응 가스를 사용하지 않고 소스 가스로만 유전막을 증착하고 여러 번의 큐어링을 하는 것이 아니라 한번의 큐어링을 실시한다. 이러한 새로운 방법을 사용하게 됨으로써 커패시터의 전기적 특성은 기존 공정과 동등 수준으로 유지하면서 공정은 단순화할 수 있게 된다. 일반적인 효과로는 수율 향상 및 설비 구성 단순화 등의 효과를 얻을 수 있다.

<73> 특히 스탠드 얼론 메모리 및 임베디드 메모리의 경우 소스 가스로만 유전막을 증착하게 됨으로써 단차도포성 향상과 스토리지 노드 콘택플러그 산화를 억제하는 효과를 얻을 수 있다. 또한 두꺼운 유전막을 사용하는 아날로그 커패시터나 RF 커패시터 및 고전압 커패시터의 경우 크게 공정을 단순화시킬 수 있는 큰 장점이 있게 된다.

<74> 또한, 본 발명에 따른 유전막 형성 장치는 여러 개의 유전막 증착 챔버와 큐어링 챔버가 필요한 것이 아니라 2개의 유전막 증착 챔버와 1개의 큐어링 챔버만 구비하여 구성되므로 장치 구성이 매우 단순화된다.

【특허 청구범위】**【청구항 1】**

반도체 기판 상에 제 1 전극을 형성하는 단계;

상기 제 1 전극 상에 제 1 유전막을 증착하는 단계;

상기 제 1 유전막을 산소 함유 분위기에서 큐어링하는 단계;

상기 큐어링된 제 1 유전막 상에 반응 가스없이 소스 가스만으로 제 2 유전막을 증착하는 단계; 및

상기 제 2 유전막에 대한 큐어링없이 상기 제 2 유전막 상에 제 2 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 2】

제1항에 있어서, 상기 제 1 유전막은 반응 가스없이 소스 가스만으로 증착하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 3】

제1항에 있어서, 상기 제 1 유전막과 제 2 유전막은 CVD(Chemical Vapor Deposition)에 의해 증착하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 4】

제1항에 있어서, 상기 제 1 유전막과 제 2 유전막은 ALD(Atomic Layer Deposition)에 의해 증착하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 5】

제1항 또는 제2항에 있어서, 상기 소스 가스로서 산소원자가 포함된 소스 가스를 사용하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 6】

제1항에 있어서, 상기 제 1 유전막과 제 2 유전막은 100 ~ 600°C 정도의 온도 범위에서 증착하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 7】

제1항에 있어서, 상기 제 1 유전막의 두께는 5 ~ 200Å으로 증착하고, 제 2 유전막의 두께는 5 ~ 3000Å으로 증착하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 8】

제1항 또는 제2항에 있어서, 상기 소스 가스로는 $Ta(OC_2H_5)_5$, TET-DMAE(Tetra Ethoxide Tantalum-DiMethyl Amine Ethoxide), $Ta(OsBu)_5$, $Ta(OC_2H_5)_4(acacC_2H_5)$, $TaCl_2(OC_2H_5)_2C_5H_7O_2$ 또는 $Ta(OCH_3)_5$ 를 사용하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 9】

제1항에 있어서, 상기 제 1 유전막은 Ta_2O_5 를 CVD에 의해 증착하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 10】

제1항에 있어서, 상기 제 2 유전막은 Ta_2O_5 를 CVD에 의해 증착하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 11】

제1항에 있어서, 상기 제 1 유전막 증착부터 제 2 유전막 증착까지 하나의 유전막 형성 장치에서 인시츄(in-situ)로 수행하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 12】

제1항에 있어서, 상기 산소 함유 분위기는 O_2 또는 O_3 가 포함된 산화성 분위기인 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 13】

제1항에 있어서, 상기 산소 함유 분위기는 O_2 또는 N_2O 의 ECR 혹은 RF 플라즈마 분위기인 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 14】

제1항에 있어서, 상기 제 1 전극과 제 2 전극은 TiN, TaN, W, WN, Al, Cu, Ru, RuO_2 , Pt, Ir, IrO_2 , 도프트 폴리실리콘 중 어느 하나, 또는 이들의 조합으로 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 15】

제1항에 있어서, 상기 제 1 유전막과 제 2 유전막은 Ta_2O_5 , HfO_2 , ZrO_2 , Al_2O_3 , TiO_2 중의 어느 하나, 또는 이들의 조합으로 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 16】

반도체 기판 상에 제 1 전극을 형성하는 단계;
 상기 제 1 전극 상에 제 1 Ta_2O_5 막을 증착하는 단계;
 상기 제 1 Ta_2O_5 막을 O_3 분위기에서 큐어링하는 단계;
 상기 큐어링된 제 1 Ta_2O_5 막 상에 반응 가스없이 $Ta(OC_2H_5)_5$ 만으로 제 2 Ta_2O_5 막을 증착하는 단계; 및
 상기 제 2 Ta_2O_5 막에 대한 큐어링없이 상기 제 2 Ta_2O_5 막 상에 제 2 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 17】

제16항에 있어서, 상기 제 1 Ta_2O_5 막은 반응 가스없이 $Ta(OC_2H_5)_5$ 만으로 증착하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 18】

제16항에 있어서, 상기 제 1 Ta_2O_5 막과 제 2 Ta_2O_5 막은 CVD에 의해 증착하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 19】

복수개의 반도체 기판이 로딩된 카세트가 위치하는 로드락 챔버;

상기 로드락 챔버에 연결되어 상기 반도체 기판을 로딩 및 언로딩할 수 있는 로봇 암을 구비하는 트랜스퍼 챔버;

상기 트랜스퍼 챔버에 연결되어 있고 유전막을 증착할 수 있는 제 1 유전막 증착 챔버;

상기 제 1 유전막 증착 챔버에 연결된 큐어링 챔버; 및
상기 트랜스퍼 챔버에 연결되어 있고 유전막을 증착할 수 있는 제 2 유전막 증착 챔버를 포함하여,

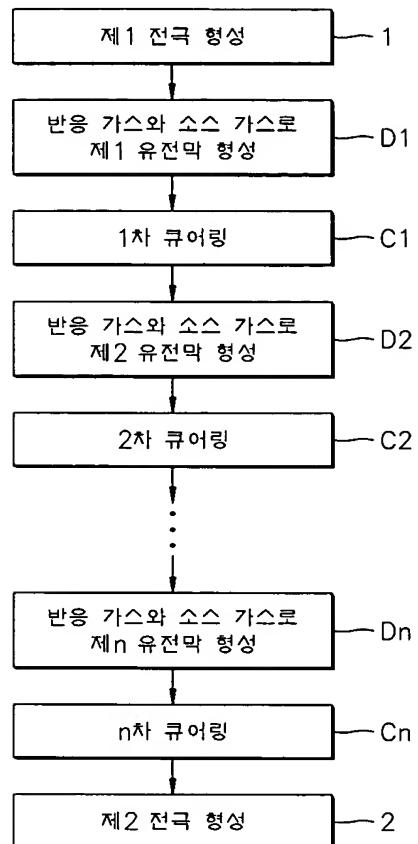
상기 제 1 유전막 증착 챔버에서 증착한 제 1 유전막을 상기 큐어링 챔버에서 큐어링한 다음, 상기 제 2 유전막 증착 챔버에서 제 2 유전막 증착을 수행할 수 있는 것을 특징으로 하는 유전막 형성 장치.

【청구항 20】

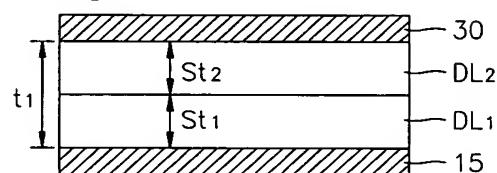
제19항에 있어서, 상기 제 1 및 제 2 유전막 증착 챔버는 반응 가스없이 소스 가스만으로 유전막을 증착하는 것을 특징으로 하는 유전막 형성 장치.

【도면】

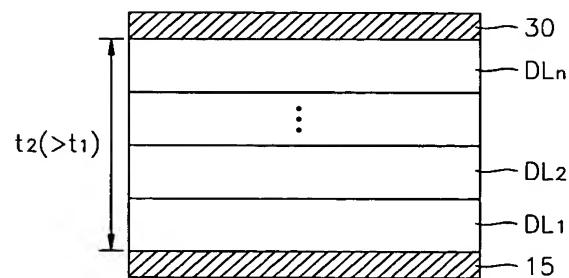
【도 1】



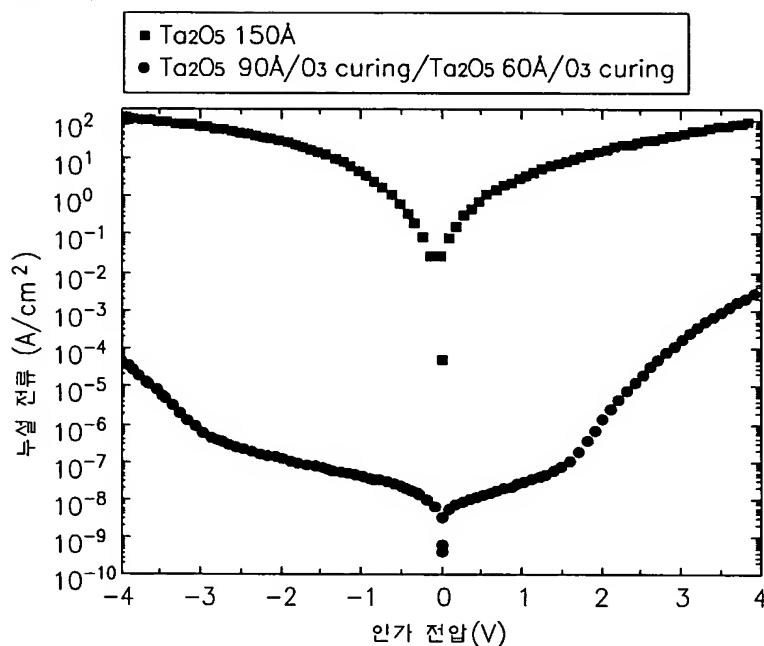
【도 2】



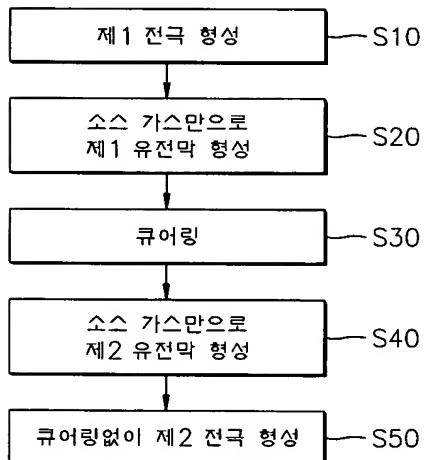
【도 3】



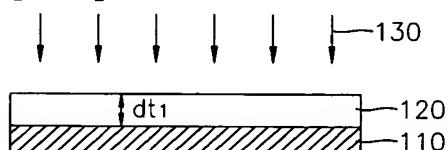
【도 4】



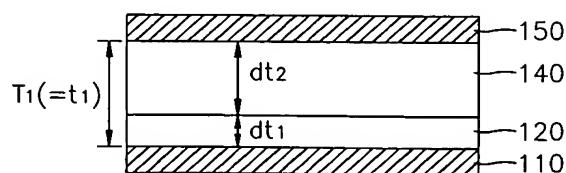
【도 5】



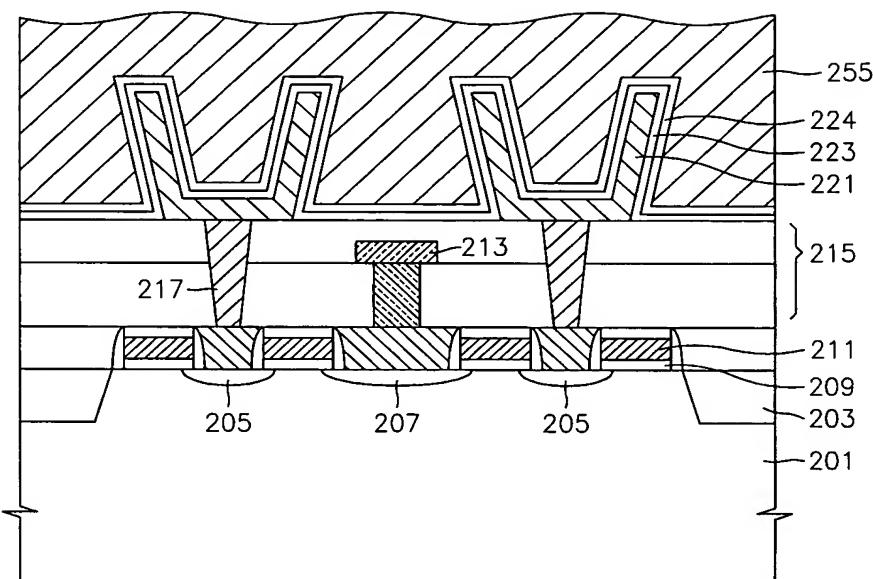
【도 6】



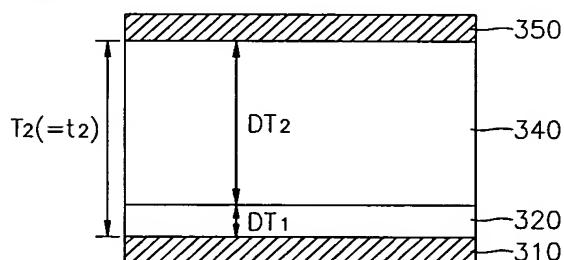
【도 7】



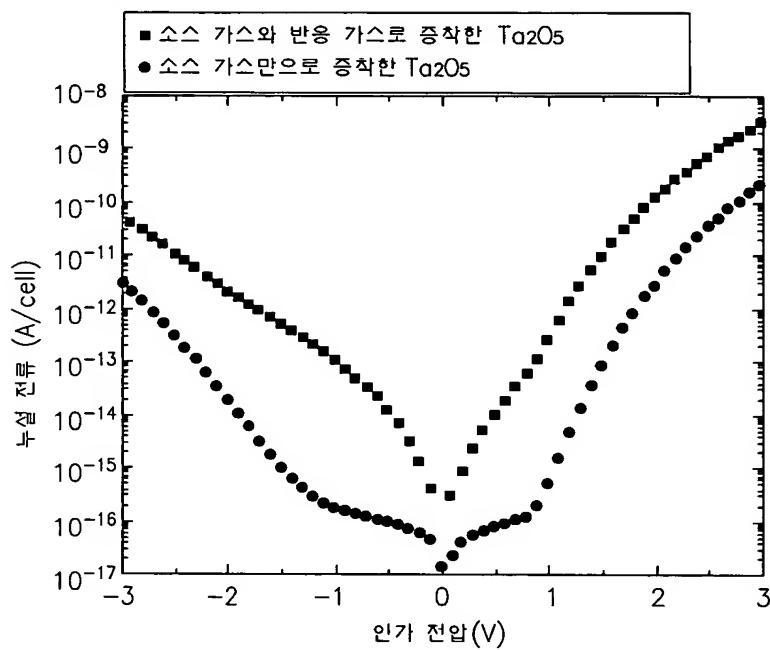
【도 8】



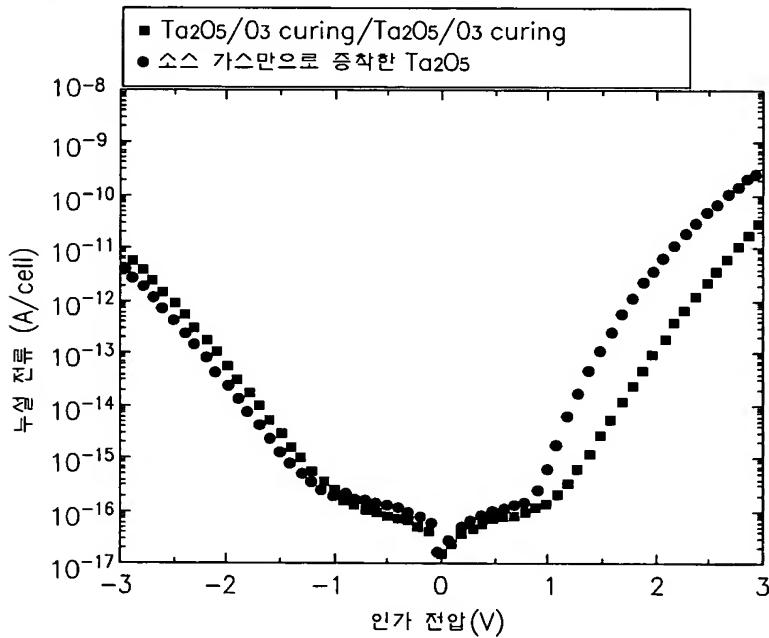
【도 9】



【도 10】



【도 11】





1020020075693

출력 일자: 2003/3/18

【도 12】

